

Plan 304 Ing.Tec.Telec Esp Sist Electrónicos

Asignatura 44468 SISTEMAS DIGITALES II

Grupo 1

Presentación

Sistemas cableados. Sistemas programados. Microprocesadores. Técnicas de entrada/salida. Familias de periféricos. Diseño de sistemas electrónicos basados en microprocesadores.

Programa Básico

CAPITULO 1.- EL PROCESAMIENTO DIGITAL DE LA SEÑAL Y LOS SISTEMAS DSP.
 CAPITULO 2.- PROCESADORES DSP, IMPLEMENTACIONES Y ALTERNATIVAS.
 CAPITULO 3.- REPRESENTACIONES NUMÉRICAS Y ARITMÉTICAS.
 CAPITULO 4.- UNIDAD ARITMÉTICA PRINCIPAL.
 CAPITULO 5.- ARQUITECTURA DE LA MEMORIA.
 CAPITULO 6.- CONTROL DE LA EJECUCIÓN.
 CAPITULO 7.- ESTRUCTURA PIPELINE.
 CAPITULO 8.- PERIFÉRICOS.

Objetivos

Los objetivos son:

- Conocer las necesidades de los Sistemas Digitales utilizados en el tratamiento Digital de la Señal.
- Conocer los Sistemas Digitales utilizados en el procesamiento digital de la señal (DSP).
- Conocer un dispositivo concreto como es el microprocesador TMS320C3X de Texas Instruments que se utilizará simultáneamente en el Laboratorio de la asignatura.

Programa de Teoría

CAPITULO 1.- EL PROCESAMIENTO DIGITAL DE LA SEÑAL Y LOS SISTEMAS DSP.

- 1.1.- Introducción.
- 1.2.- El procesamiento digital de la señal y sus beneficios.
- 1.3.- Operaciones clave en el DSP.
- 1.4.- Procesamiento digital de la señal en tiempo real.

CAPITULO 2.- PROCESADORES DSP, IMPLEMENTACIONES Y ALTERNATIVAS.

- 2.1.- Procesadores DSP.
- 2.2.- Implementaciones de los procesadores DSP.
- 2.3.- Alternativas a los procesadores DSP comerciales.
- 2.4.- El microprocesador TMS320C3X.

CAPITULO 3.- REPRESENTACIONES NUMÉRICAS Y ARITMÉTICAS.

- 3.1.- Punto fijo frente a punto flotante.
- 3.2.- Tamaño natural de la palabra de datos.
- 3.3.- Precisión extendida.
- 3.4.- Emulación de punto flotante y representación en bloque en punto flotante.
- 3.5.- Formato en punto flotante IEEE-754.
- 3.6.- Relación entre el tamaño de las palabras de datos y de instrucción.

CAPITULO 4.- UNIDAD ARITMÉTICA PRINCIPAL.

-
- 4.1.- Unidad aritmética principal de punto fijo.
 - 4.2.- Unidad aritmética principal de punto flotante.
 - 4.3.- Unidades de funciones especiales.
 - 4.4.- Unidad aritmética del TMS320C3X.

CAPITULO 5.- ARQUITECTURA DE LA MEMORIA.

- 5.1.- Necesidades en el tratamiento digital de la señal.
- 5.2.- Estructuras de la memoria.
- 5.3.- Formas de reducir los accesos a memoria.
- 5.4.- Estados de espera.
- 5.5.- ROM.
- 5.6.- Interfaces externos de memoria.
- 5.7.- Adaptaciones.
- 5.8.- Arquitectura de la memoria del TMS320C3X.
- 5.9.- Interface externo del TMS320C3X.

CAPITULO 6.- CONTROL DE LA EJECUCIÓN.

- 6.1.- Lazos hardware.
- 6.2.- Interrupciones.
- 6.3.- Pilas.
- 6.4.- Saltos relativos.

CAPITULO 7.- ESTRUCTURA PIPELINE.

- 7.1.- El rendimiento de la estructura Pipeline.
 - 7.2.- El tamaño de la estructura Pipeline.
 - 7.3.- El enclavamiento.
 - 7.4.- Efectos de los saltos en la estructura Pipeline.
 - 7.5.- Efectos de las interrupciones en la estructura Pipeline.
 - 7.6.- Modelos de programación de la estructura Pipeline.
 - 7.7.- La estructura Pipeline del TMS320C3X.
-

Programa Práctico

- Práctica 1: HERRAMIENTAS DE TRABAJO.
 - Práctica 2: PROGRAMACIÓN BÁSICA I.
 - Práctica 3: PROGRAMACIÓN BÁSICA II.
 - Práctica 4: OPERACIONES EN COMA FLOTANTE I.
 - Práctica 5: OPERACIONES EN COMA FLOTANTE II.
 - Práctica 6: APLICACIONES DE TRATAMIENTO DIGITAL DE SEÑAL I.
 - Práctica 7: APLICACIONES DE TRATAMIENTO DIGITAL DE SEÑAL II.
-

Evaluación

Se realizará un examen tipo test de 40 preguntas aproximadamente en la fecha indicada por el centro, tanto en la convocatoria ordinaria como extraordinaria.

Opcionalmente se podrá realizar un examen parcial de aproximadamente la mitad de la materia de carácter eliminatorio.

Bibliografía

- Phil Capsley, Jeff Bier, Amit Shoham. DSP Processor Fundamentals. University Of California at Berkeley. Editorial IEEE Press 1997.
 - Emmanuel C. Ifeachor y Barrie W. Jervis. Digital Signal Processing. Editorial Addison-Wesley 1993.
 - Texas Instruments. User's Guide TMS320C3X. Editorial Texas Instruments 1994.
 - Manual de Laboratorio de Sistemas Digitales II. Francisco Plaza y Carmen Quintano. 1998.
-