

Plan 215 Ing.Tec.Ind.Esp Electrónica Indust

Asignatura 16221 MICROELECTRONICA

Grupo 1

Presentación

Programa Básico

CAPITULO 1.- TEORÍA DEL TRANSISTOR MOS.
CAPITULO 2.- INTRODUCCIÓN A LAS FAMILIAS LÓGICAS.
CAPITULO 3.- CARACTERIZACIÓN DE CIRCUITOS Y ESTIMACIÓN DE PRESTACIONES.
CAPITULO 4.- DISEÑO "FULL-CUSTOM" BÁSICO.
CAPITULO 5.- ESTRUCTURAS LÓGICAS ALTERNATIVAS.
CAPITULO 6.- ESTRATEGIAS DE SINCRONISMO.
CAPITULO 7.- ESTRUCTURAS DE ENTRADA Y SALIDA

Objetivos

Los objetivos son:

- Diseño tecnológico, procesos y su control para la realización de circuitos integrados.
- Caracterización de circuitos y estimación de prestaciones.
- Diseño de circuitos ASIC.

Programa de Teoría

Parte teórica:

TEMA 1.- TEORÍA DEL TRANSISTOR MOS.

- 1.1.- El transistor Mos de enriquecimiento.
- 1.2.- Tensión umbral.
- 1.3.- Modelos equivalentes.

TEMA 2.- INTRODUCCIÓN A LAS FAMILIAS LÓGICAS.

- 2.1.- El transistor Mos como interruptor: La puerta de transición.
- 2.2.- Lógica Cmos básica.
- 2.3.- Niveles de representación.
- 2.4.- Estudio de la puerta lógica: El inversor Cmos.

TEMA 3.- CARACTERIZACIÓN DE CIRCUITOS Y ESTIMACIÓN DE PRESTACIONES.

- 3.1.- Introducción.
- 3.2.- Estimación de prestaciones.
- 3.3.- Estimación de capacidades.
- 3.4.- Estimación de inductancias.
- 3.5.- Características de conmutación.
- 3.6.- Disipación de potencia.
- 3.7.- Rendimiento y fiabilidad.
- 3.8.- Escalado de los transistores Mos.

TEMA 4.- DISEÑO "FULL-CUSTOM" BÁSICO.

- 4.1.- Introducción.
- 4.2.- Diseño de puertas lógicas Cmos.

-
- 4.3.- Diseño físico básico.
 - 4.4.- Consideraciones sobre el "Layout".
 - 4.5.- Ejemplo de diseño.

TEMA 5.- ESTRUCTURAS LÓGICAS ALTERNATIVAS.

- 5.1.- Lógica Cmos.
- 5.2.- Lógica pseudo-nmos.
- 5.3.- Lógica Cmos Dinámica.
- 5.4.- Lógica C2MOS ("Clocked Cmos Logic").
- 5.5.- Puertas lógicas con puertas de transmisión.
- 5.6.- Lógica Cmos Dominó.
- 5.7.- Lógica Cmos cremallera ("Zipper").
- 5.8.- Lógica CVSL.
- 5.9.- Lógica SFPL.

TEMA 6.- ESTRATEGIAS DE SINCRONISMO.

- 6.1.- Sistemas síncronos.
 - 6.2.- Cerrojos y registros.
 - 6.3.- Temporización.
 - 6.4.- Tiempos de "Set-up" y "Hold".
 - 6.5.- Estructuras de memoria de una fase.
 - 6.6.- Circuitos PLL ("Phase locked loop").
 - 6.7.- Estructuras lógicas de una fase.
 - 6.8.- Estructuras de memoria de dos fases.
 - 6.9.- Estructuras lógicas de dos fases.
 - 6.10.- Estructuras de memoria de cuatro fases.
 - 6.11.- Estructuras lógicas de cuatro fases.
 - 6.12.- Modelos de sincronismo recomendados.
 - 6.13.- Distribución de relojes.
-

Programa Práctico

- Práctica 1: Curvas características del transistor Nmos.
 - Práctica 2: El inversor Cmos.
 - Práctica 3: Estimación de prestaciones.
 - Práctica 4: Disipación de potencia.
 - Práctica 5: Lógica pseudo Nmos.
 - Práctica 6: Estructuras lógicas de 4 fases.
-

Evaluación

El método de evaluación de esta asignatura consiste en dos partes:

- Examen teórico tipo test de aproximadamente 25 preguntas que se realizará en la fecha propuesta por el centro. Donde se valorarán tanto los aspectos teóricos como los prácticos de esta asignatura. La valoración de esta parte será del 85% de la nota global.
 - Realización y evaluación de las prácticas programadas. La valoración de esta parte será del 15% de la nota global. Opcionalmente por el profesor de laboratorio la evaluación podrá consistir en una prueba práctica a realizar la última semana del periodo de prácticas.
-

Bibliografía

WESTE, Neil H.E. y ESHRAGHIAN, Kamran. "Principles of CMOS-VLSI design". Addison Wesley, 1993.
