

Plan 244 Ing. de Telecomunicación

Asignatura 43814 TECNOLOGIAS DE RADIOCOMUNICACIONES III

Grupo 1

Presentación

Diseño de sistemas basados en FPGAs (Field-Programmable Gate Arrays), e introducción al lenguaje para síntesis y modelado de circuitos VHDL (Very High Speed Integrated Circuit Hardware Description Language).

Programa Básico

Asignatura: Tecnologías de Radiocomunicaciones III

Titulación: Ingeniero de Telecomunicación

Descripción

El alumno aprenderá técnicas de diseño de sistemas digitales asistido por ordenador y de implementación en FPGAs (Field-Programmable Gate Arrays). Además, adquirirá conocimientos básicos del lenguaje de descripción hardware VHDL orientado a su uso en la síntesis de circuitos.

Breve descripción del contenido

Aplicaciones del diseño en electrónica de comunicaciones y de la instrumentación.

Programa básico de la asignatura

- Introducción a las FPGAs y a los recursos del laboratorio
- Introducción a VHDL
- Descripción de flujo de datos
- Descripción algorítmica
- Jerarquía y reutilización de módulos en VHDL

La asignatura tiene prácticas que complementan la parte teórica.

Objetivos

El objetivo fundamental de la asignatura es que el alumno adquiera soltura en las técnicas de diseño de sistemas digitales asistido por ordenador y en su implementación en FPGAs (Field-Programmable Gate Arrays). Además, al finalizar la asignatura el alumno deberá haber adquirido unos conocimientos básicos del lenguaje de descripción hardware VHDL orientado a su uso en la síntesis de circuitos. Este lenguaje está tomando una enorme relevancia en el diseño de sistemas electrónicos digitales.

Programa de Teoría

TEMA 1: Introducción

- Objetivos
- Estructura de las FPGAs
- Implementación de un sistema digital en una FPGA
- Herramientas CAD
- Demostración del uso de las herramientas disponibles en el laboratorio (FPGAs XC4010XL de Xilinx, placas de demostración XS40 de Xess Corp., y software Xilinx Foundation Series).

TEMA 2: Introducción a VHDL

- Objetivos
- Métodos de descripción de diseño
- Primeras nociones sobre VHDL

-
- Tipos de datos en VHDL
 - VHDL para simulación

TEMA 3: Descripción de flujo de datos

- Estructuras
- Ejemplos de descripción de flujo de datos

TEMA 4: Descripción algorítmica

- Introducción
- Variables y señales
- Estructuras y ejemplos

TEMA 5: Jerarquía y reutilización de módulos en VHDL

- Introducción
 - Descripción estructural
 - Uso de paquetes y bibliotecas
 - Especificación de pines
 - Parámetros y atributos
 - Salidas al aire y replicación de componentes
 - Subprogramas: Funciones y procedimientos
-

Programa Práctico

Práctica 1: Diseño de un dado electrónico controlado mediante un PC.

Los alumnos deben implementar un dado electrónico en la FPGA de la placa de demostración y lanzarlo/pararlo al pulsar una tecla del PC. Se trata de una práctica de introducción a las herramientas empleadas en la asignatura, del diseño mediante VHDL, y del control de circuitos y la adquisición de datos mediante el puerto paralelo de un PC.

Práctica 2: Control de dispositivos mediante un mando a distancia de infrarrojos.

Se debe implementar un decodificador de la señal enviada por un mando a distancia de infrarrojos. Cuando se pulse la tecla PLAY del mando, se debe lanzar el dado diseñado en la primera práctica, y al pulsar STOP debe pararse. En esta práctica se aborda el diseño de máquinas de estados finitos (FSMs), el uso de mandos a distancia de infrarrojos para control remoto y el estudio de un sistema de comunicaciones completo.

Práctica 3: Tratamiento digital de señales mediante FPGAs.

Un ejemplo es la implementación de un filtro de medianas y su empleo para procesado de secuencias e imágenes afectadas por ruido impulsivo, aunque puede realizarse otra práctica relacionada con el tratamiento digital de señales.

Evaluación

Se evalúa el correcto funcionamiento y la calidad de los diseños realizados, así como el contenido de las memorias que deben presentarse como resultado de cada práctica. También se evaluará el trabajo día a día realizado por los alumnos en el laboratorio (se realiza una evaluación continua junto con revisiones al finalizar cada práctica para comprobar si se van alcanzando progresivamente los objetivos de la asignatura -se detallarán oportunamente al comienzo del curso-). El trabajo del laboratorio junto con las memorias supondrá el 80% de la nota final.

Además, se realizará un examen sobre VHDL para síntesis al final de la asignatura con un peso bajo sobre la nota final (20%), si bien será necesario aprobar dicho examen (5 puntos sobre 10) para poder aprobar la asignatura.

Bibliografía

- [1] Fernando Pardo, José A. Boluda. VHDL, Lenguaje para síntesis y modelado de circuitos. Editorial RA-MA, 1999.
 - [2] Kevin Skahill. VHDL for programmable logic. Addison-Wesley, 1996.
 - [3] Stefan Sjöholm, Lennart Lindh. VHDL for designers. Prentice Hall, 1997.
 - [4] Peter J. Ashenden. The designer's guide to VHDL, 2nd Edition. Morgan Kaufmann Publishers, 2001.
 - [5] Andrew Rushton. VHDL for logic synthesis. John Wiley & Sons Ltd., 1998.
 - [6] Sudhakar Yalamanchili. VHDL starter's guide. Prentice Hall, 1997.
 - [7] Ashok K. Sharma. Programmable logic handbook: PLDs, CPLDs and FPGAs. McGraw-Hill, 1998.
-